

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HO-DON JUNG

Application No.:

Filed:

For: **SEMICONDUCTOR MEMORY
DEVICE AND METHOD FOR
GENERATION OF CORE
VOLTAGE**

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-27084	29 April 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: December 31, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



Farzad E. Amini, Reg. No. 42,261



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0027084
Application Number

출원 년 월 일 : 2003년 04월 29일
Date of Application APR 29, 2003

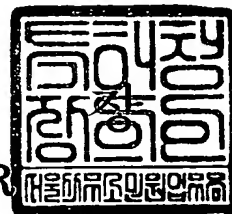
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2003.04.29
【발명의 명칭】	반도체 메모리 장치 및 반도체 메모리 장치의 코아전압 생성방법
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR GENERATION OF CORE VOLTAGE OF THE SAME
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	정호돈
【성명의 영문표기】	JUNG, Ho Don
【주민등록번호】	700306-1010028
【우편번호】	431-050
【주소】	경기도 안양시 동안구 달안동 셋별 한양아파트 617-910
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원



1020030027084

출력 일자: 2003/10/29

【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】	373,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			



【요약서】

【요약】

본 발명은 DRAM 등의 반도체 메모리 장치에서 코아전압을 생성하여 사용하는 경우 리프레쉬 동작에서 계속되는 액티브 동작으로 인하여 코아전압이 과도하게 소모되어 코아전압의 레벨이 불안정해지는 것을 방지할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치의 코아전압 생성 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 리프레쉬 신호에 응답하여 비트라인 감지 시작 신호의 동작 시점을 제어하기 위한 비트라인 감지 시작 신호 제어부; 상기 비트라인 감지 시작 신호에 응답하여 코아전압의 오버 드라이빙 타이밍을 결정하는 오버 드라이빙 제어신호를 출력하는 오버 드라이빙 제어부; 및 상기 비트라인 감지 시작 신호와 상기 오버 드라이빙 제어신호에 응답하여 코아전압을 출력하기 위한 코아전압 생성부를 포함하는 반도체 메모리 장치를 제공한다.

또한, 본 발명은, 비트라인 감지 시작 신호에 응답하여 코아전압의 오버 드라이빙 타이밍을 결정하는 오버 드라이빙 제어신호를 출력하는 단계; 및 상기 비트라인 감지 시작 신호와 상기 오버 드라이빙 제어신호에 응답하여 코아전압을 출력하는 단계를 포함하며, 정상 동작시에는 상기 비트라인 감지 시작 신호가 딜레이가 없이 출력되도록 하며, 리프레쉬 동작시에는 상기 비트라인 감지 시작 신호가 소정의 딜레이를 갖도록 하는 것을 특징으로 하는 반도체 메모리 장치의 코아전압 생성 방법을 제공한다.

【대표도】

도 9



1020030027084

출력 일자: 2003/10/29

【색인어】

리프레쉬, 코아전압, 기준전압, 비트라인 감지증폭부, 오버 드라이빙 제어부, 오버 드라이빙 제어 신호.

【명세서】

【발명의 명칭】

반도체 메모리 장치 및 반도체 메모리 장치의 코아전압 생성 방법{SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR GENERATION OF CORE VOLTAGE OF THE SAME}

【도면의 간단한 설명】

도 1은 코아전압 생성부를 포함하는 반도체 메모리 장치의 일부를 도시한 블록도.

도 2는 도 1의 코아전압 생성부를 도시한 상세 회로도.

도 3은 도 1의 오버 드라이빙 제어부를 도시한 상세 회로도.

도 4는 도 1의 비트라인 감지증폭부를 도시한 상세 회로도.

도 5는 도 1의 비트라인 감지증폭 제어부를 도시한 상세 회로도.

도 6은 종래기술에 따른 뱅크의 정상적인 액티브 동작시 DRAM의 코아전압의 변동을 도시한 타이밍도.

도 7은 종래기술에 따른 모든 뱅크의 리프레쉬 동작시 DRAM의 코아전압의 변동을 도시한 타이밍도.

도 8은 본 발명의 일실시예에 따른 비트라인 감지 시작 신호 제어부를 도시한 상세 회로도.

도 9은 도 8의 비트라인 감지 시작 신호 제어부를 포함하는 반도체 메모리 장치를 도시한 블록도.

도 10은 도 9의 오버 드라이빙 제어부를 도시한 상세 회로도.

도 11은 본 발명에 따른 모든 뱅크의 리프레쉬 동작시 DRAM의 코아전압의 변동을 도시한 타이밍도.

* 도면의 주요부분에 대한 부호의 설명 *

70 : 비트라인 감지 시작 신호 제어부

71 : 오버 드라이빙 제어부

72 : 코아전압 생성부

73 : 비트라인 감지증폭부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 반도체 장치에 관한 것으로, 특히 리프레시 동작에서의 코아전압의 안정화를 기할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치의 코아전압 생성 방법에 관한 것이다

<18> 일반적으로, 반도체 메모리 장치는 외부의 전원전압(VDD)을 인가받아 이를 내부의 전원 전압(Vcore(코아전압), Vperi(페리전압))으로 낮추어 사용한다. 여기서, 코아전압(Vcore)은 셀의 데이터를 리드(Read) 또는 라이트(Write)할 때 사용되는 전압이며, 페리전압(Vperi)은 주변 회로를 구동하기 위해 사용되는 전압이다.

- <19> 현재 코아전압(Vcore)을 생성하여 사용하는 DRAM(Dynamic Random Access Memory)의 경우를 살펴 보면, 액티브(Active) 동작시에 코아전압(Vcore)은 선택된 비트라인(Bitline)의 차징(Charging)으로 일정 시간 동안 과도한 소모가 일어나서 목표로 하는 값의 일정한 레벨을 유지하지 못하며 불안정한 레벨로 흔들리게 된다.
- <20> 코아전압(Vcore) 생성 회로에서는, 이 때 흔들리는 코아전압(Vcore) 레벨을 기준전압(Vrc)과 비교하여 원하는 코아전압(Vcore) 레벨까지 외부의 전원전압(VDD)을 이용하여 구동하게 된다.
- <21> 여기에 비교하는 시간동안 코아전압(Vcore)의 레벨이 떨어지는 것을 막기 위해 코아전압(Vcore) 오버 드라이빙(Overdriving) 회로를 추가하여 액티브한 후, 일정시간 동안 뒤에 임의의 시간동안 전원전압(VDD)을 코아전압(Vcore)으로 구동한다.
- <22> 현재 사용되는 회로는 코아전압(Vcore) 생성 회로의 구성에 의해 비트라인 감지증폭기(Bitline sense amplifier)의 동작시에 짧은 시간 동안 코아전압(Vcore)의 과도한 소모로 인한 급격한 다운(Down)을 막고자, 비트라인을 차징하기 위한 신호(rtoe, sbe)의 경사(Slope)를 높히는 즉, 코아전압(Vcore)이 소모되는 시간을 느리게 조정함으로써 코아전압(Vcore) 소모시 짧은 시간 동안 레벨이 큰 피크치를 보이며 떨어지는 것을 더 넓은 시간동안 코아전압(Vcore)을 소모시킴으로써, 코아전압(Vcore)이 떨어질 때의 피크치를 적게하도록 구성되어 있다.
- <23> 도 1은 코아전압 생성부를 포함하는 반도체 메모리 장치의 일부를 도시한 블록도이다.
- <24> 도 1을 참조하면, 종래의 반도체 메모리 장치는, DRAM에서 액티브 이후 비트라인 감지 시작신호(sest30; Bitline sensing start signal)를 입력받아 임의의 시간 동안 코아전압(Vcore)을 전원전압(VDD)으로 구동하기 위한 오버 드라이빙 제어신호(sense_en)를 생성하기 위

한 오버 드라이빙 제어부(11)와, 비트라인 감지 시작신호(sest30)와 오버 드라이빙 제어신호(sense_en)에 응답하여 기준전압(VRC)과 코아전압(Vcore)을 비교하여 비트라인 감지증폭부(12)를 구동시 사용하기 위한 코아전압(Vcore)을 출력하는 코아전압 생성부(10)와, 셀에서 선택된 데이터가 비트라인을 거쳐 출력단으로 전달될 때 전압 스윙을 크게하여 비트라인의 신호를 증폭하는 비트라인 감지증폭부(12)와, 비트라인 감지 시작신호(sest30)와 리프레시 신호(refb)를 입력으로 하여 액티브 후 차지 셰어링(Charge sharing)되어 있는 비트라인 감지증폭부(12)에 전원으로 공급되는 신호(rto, sb)를 인에이블 시키는 신호(rtoe, sbe)를 생성하는 비트라인 감지증폭 제어부(13)가 구비하여 구성된다.

<25> 도 2는 도 1의 코아전압 생성부를 도시한 상세 회로도이다.

<26> 도 2를 참조하면, 코아전압 생성부는 기준전압(VRC)과 코아전압(Vcore)을 비교하여 코아전압 비교구동부(103)을 인에이블시키기 위한 신호(comp_en)을 출력하기 위한 비교부(102)와, 오버 드라이빙 제어신호(sense_en)에 응답하여 오버 드라이빙된 코아전압(Vcore)을 출력하기 위한 오버 드라이빙부(104)와, 비트라인 감지 시작신호(sest30)에 응답하여 비교부(102)의 온-오프를 제어하기 위한 제어부(101)를 구비하여 구성된다.

<27> 구체적으로, 제어부(101)는 비트라인 감지 시작신호(sest30)를 반전시키는 인버터(I3)와, 인버터의 출력을 게이트 입력으로 하고 전원전압단(VDD)에 소스가 접속된 피모스 트랜지스터(P1)와, 인버터(I3)의 출력을 게이트 입력으로 하고 드레인이 피모스 트랜지스터(P1)의 드레인에 접속되며 소스가 접지전압단(VSS)에 접속된 엔모스 트랜지스터(N4)와, 피모스 트랜지스터(P1)의 드레인에 자신의 드레인과 게이트가 공통 접속되며 소스가 접지전압단(VSS)에 접속된 엔모스 트랜지스터(N5)로 이루어진다.

<28> 비교부(102)는 비트라인 감지 시작신호(srst30)를 게이트 입력으로 하며 차동증폭기의 증폭단을 이루는 피모스 트랜지스터(P2, P3)와, 피모스 트랜지스터(P2, P3)와 같이 차동증폭기의 증폭단을 이루며 피모스 트랜지스터(P2, P3)와 각각 쌍으로 병렬 접속되며 자신들의 게이트가 공통 접속된 피모스 트랜지스터(P3, P4)와, 차동증폭기의 하나의 입력단을 이루며 기준전압(VRC)에 의해 제어되는 엔모스 트랜지스터(N2)와, 차동증폭기의 다른 하나의 입력단을 이루며 코아전압(Vcore)에 의해 제어되는 엔모스 트랜지스터(N3)와, 차동증폭기의 전류원 역할을 하는 엔모스 트랜지스터(N7)와, 기준전압(VRC)에 의해 게이트가 제어되며 소스가 전원전압단(VDD)에 접속된 엔모스 트랜지스터(N1)와, 엔모스 트랜지스터(N5)와 게이트가 공통 접속되며 엔모스 트랜지스터(N1)의 드레인과 접지전압단(VSS) 사이에 접속된 엔모스 트랜지스터(N6)와, 코아전압(Vcore)에 의해 게이트가 제어되며 소스가 전원전압단(VDD)에 접속된 엔모스 트랜지스터(N9)와, 엔모스 트랜지스터(N7)와 게이트가 공통 접속되며 엔모스 트랜지스터(N9)의 드레인과 접지전압단(VSS) 사이에 접속된 엔모스 트랜지스터(N8)로 이루어진다.

<29> 여기서, 엔모스 트랜지스터(N3)의 게이트는 엔모스 트랜지스터(N9)의 드레인에 접속되어 있으며, 엔모스 트랜지스터(N2)의 게이트는 엔모스 트랜지스터(N1)의 드레인에 접속되어 있다.

<30> 코아전압 비교구동부(103)는 엔모스 트랜지스터(N2)의 드레인에서 출력되는 차동증폭기의 출력인 코아전압 비교구동부(103)을 인에이블시키기 위한 신호(이하, comp_en이라 함)을 게이트 입력으로 하고 소스가 전원전압단(VDD)에 접속되며 드레인이 엔모스 트랜지스터(N9)의 게이트에 접속된 피모스 트랜지스터(P6)로 이루어지며, 오버 드라이빙부(104)는 두개의 인버터 I1과 I2를 거친 감지 인에이블 신호(sense_en)를 게이트 입력으로 하고 소스가 전원전압단

(VDD)에 접속되며 드레인이 엔모스 트랜지스터(N9)의 게이트에 접속된 피모스 트랜지스터(P6)로 이루어진다.

<31> 도 3은 도 1의 오버 드라이빙 제어부를 도시한 상세 회로도로서, 도 3의 (a)는 인버터 체인(Inverter chain) 구조이며, 도 3의 (b)는 차지 캐패시터(Charge capacitor) 구조이다.

<32> 전술한 바와 같이, 오버 드라이빙 제어부는 DRAM 액티브 이후 비트라인 감지 시작 신호(sbst30이라 함)를 입력받아 임의의 시간 동안 코어전압(Vcore)을 VDD로 구동(즉, 오버 드라이빙)하기 위한 오버 드라이빙 제어신호 sense_en을 생성한다.

<33> 도 3의 (a)를 참조하면, 인버터 체인 구조의 오버 드라이빙 제어부는 sbst30을 입력으로 하여 반전 및 지연된 신호를 출력하는 직렬 접속된 복수의 인버터(I31 ~ I37)와, 인버터(I31 ~ I37)의 출력과 sbst30을 각각 다른 입력으로 하여 낸드 연산을 수행하는 낸드게이트(NAND31)로 이루어진다.

<34> 또한, 도 3의 (b)를 참조하면, 차지 캐패시터 구조의 오버 드라이빙 제어부는 I38 ~ I43의 인버터와, 낸드게이트(NAND32)와, 엔모스 트랜지스터(N31)와, P31 ~ P38의 피모스 트랜지스터로 이루어진다.

<35> 도 4는 도 1의 비트라인 감지증폭부를 도시한 상세회로도로서, 도 4의 (a)는 구동부를, 도 4의 (b)는 증폭부를 각각 도시한다.

<36> 도 4의 (a)를 참조하면, 구동부는 rtoc에 의해 rto를 Vcore 또는 VDD로 구동하는 제1구동부(40)와, sbe에 의해 sb를 VSS로 구동하는 제2구동부(41)로 이루어진다.

<37> 제1구동부(40)는 rtoc에 의해 게이트가 제어되며 Vcore에 소스가 접속되며 드레인으로 rto를 출력하는 피모스 트랜지스터(P41)로 이루어지며, 제2구동부(41)는 sbe에 의해 게이트가

제어되며 VSS에 소스가 접속되며 드레인으로 sb를 출력하는 피모스 트랜지스터(N41)로 이루어진다.

- <38> 도 4의 (b)를 참조하면, 증폭부는 정비트라인(BL)과 부비트라인(BLB)의 전압 레벨을 게이트 입력으로 하고, 각각 VDD(또는 Vcore)와 VSS의 전압 레벨로 설정된 rto와 sb 사이에서 서로 크로스 커플로 연결된 4개의 트랜지스터(N51,N52,P51,P52)로 이루어진다.
- <39> 도 5는 도 1의 비트라인 감지증폭 제어부를 도시한 상세회로도이다.
- <40> 비트라인 감지증폭 제어부는 전술한 바와 같이, 비트라인 감지 시작신호(sest30)와 리프레쉬 신호(refb)를 입력으로 하여 액티브 후 차지 셰어링되어 있는 비트라인 감지증폭부(12)에 전원으로 공급되는 신호인 rto와 sb를 인에이블 시키는 신호인 rtoc와 sbc를 생성한다.
- <41> 도 5를 참조하여 비트라인 감지증폭 제어부를 보다 구체적으로 살펴 본다.
- <42> 비트라인 감지증폭 제어부는, 직렬 접속되어 비트라인 감지 시작신호인 sest30을 소정의 시간 동안 지연시키기 위한 인버터(I51, I52)와, 인버터(I51, I52)에 의해 지연된 sest30을 게이트 입력으로 하여 제어되며 소스에 접속된 전원전압단(VDD)에 의해 그 드레인단으로 rtoc를 출력하기 위한 피모스 트랜지스터(P51)와, 피모스 트랜지스터(P51)와 게이트가 공통 접속되어 인버터(I51, I52)에 의해 지연된 sest30에 의해 제어되며 피모스 트랜지스터(P51)와 드레인이 공통 접속된 엔모스 트랜지스터(N51)와, 엔모스 트랜지스터(N51)의 소스에 드레인이 공통으로 접속되고 각각의 게이트는 전원전압단(VDD)과 refb에 의해 제어되는 엔모스 트랜지스터(N52) 및 엔모스 트랜지스터(N53)와, 엔모스 트랜지스터(N52) 및 엔모스 트랜지스터(N53)와 접지전압단(VSS) 사이에 접속된 저항(R52)과, sest30을 반전시키기 위한 인버터(I53)와, 인버터(I53)에 의해 반전된 sest30을 게이트 입력으로 하여 제어됨으로써 드레인으로 sbc를 출력하기 위한

피모스 트랜지스터(P54)와, 피모스 트랜지스터(P54)와 게이트가 공통 접속되어 인버터(I53)에 의해 반전된 sest30에 의해 제어되며 피모스 트랜지스터(P51)와 드레인이 공통 접속되며 소스가 접지전압단(VSS)에 접속된 엔모스 트랜지스터(N54)와, 전원전압단(VDD)에 그 일측이 접속된 저항(R52)과, 저항(R52)의 타측과 피모스 트랜지스터(P54)의 소스 사이에 병렬로 접속되며 각각의 게이트가 접지전압단(VSS)과 인버터(I54)에 의해 반전된 refb에 접속된 피모스 트랜지스터(P52) 및 피모스 트랜지스터(P53)을 구비하여 구성된다.

- <43> 전술한 도 1 ~ 도 5의 구성을 갖는 코아전압 생성부를 포함하는 반도체 메모리 장치의 구체적인 동작을 살펴본다.
- <44> DRAM이 액티브되면 임의의 시간 후에 비트라인 감지 시작신호인 sest30이 '로직하이'가 되고 이 때, 코아전압 생성부(10)와 오버 드라이빙 제어부(11)와 비트라인 감지증폭 제어부(13)가 인에이블되거나 동작을 시작하게 된다.
- <45> 코아전압 생성부(10)에서는 sest30이 '로직하이'가 되면 비교부(102)를 인에이블시켜서 VRC와 Vcore를 비교한다.
- <46> 이 때, VRC 보다 Vcore가 낮아질 때에는 비교부(102)의 출력인 comp_en이 '로직로우'가 되어 코아전압 비교구동부(103)의 P6를 턴-온시켜 Vcore를 VDD로 구동하게 하는 구간을 갖게 하고, VRC 보다 Vcore가 높을 때에는 comp_en이 '로직하이'가 되어 코아전압 비교구동부(103)의 P6를 턴-오프시켜 Vcore와 VDD를 분리시킨다.
- <47> 오버 드라이빙부(104)의 P7은 sense_en으로 인해 임의의 시간 동안 Vcore를 VDD로 구동하게 된다.

- <48> 오버 드라이빙 제어부(11)에서는 sest30이 '로직하이'가 되면 비트라인 감지(센싱)로 인하여 Vcore가 소모되기 시작하는 시간 후에 P7을 턴-온시켜 Vcore를 안정적으로 유지시킬 수 있도록 인버터 체인을 이용한 도 3의 (a) 또는 캐패시터의 차징 타임(Charging time)을 이용한 도 3의 (b)와 같은 구조를 이용하여 임의의 시간 동안 '로직하이'에서 오버 드라이빙 되도록 하는 오버 드라이빙 제어신호 sense_en을 생성한다.
- <49> 도 4의 비트라인 감지증폭부는 그 블록이 선택되었을 때 비트라인 감지증폭 제어부(13)에서 출력되는 rtoe는 인에이블되어 도 4의 (a)의 P41을 턴-온시켜서 비트라인 감지증폭기 전원으로 사용되는 신호인 rto는 Vcore로 구동되어 그 레벨을 유지시킨다.
- <50> 이 때, 또 하나의 제어신호인 sbe는 '로직하이'로 인에이블되어 도 4의 (a)의 N41을 턴-온시켜서 비트라인 감지증폭기 전원으로 사용되는 신호인 sb는 VSS의 값을 갖게 된다.
- <51> 이로 인해 선택된 비트라인 감지증폭부에서는 비트라인을 차징하기 위하여 rto의 소모 즉, Vcore의 소모를 가져오게 된다. 도 5에 도시된 비트라인 감지증폭 제어부에서는 sest30이 '로직하이'가 되면 rtoe와 sbe의 값이 각각 rtoe는 '로직로우', sbe는 '로직하이'의 값을 갖도록 출력된다.
- <52> 한편, rtoe와 sbe의 출력단에서는 저항(R51, R52)과 트랜지스터들의 조합에 의해 출력신호의 기울기를 조절할 수 있도록 구성하고 여기에 리프레쉬 신호(refb)를 사용하여 리프레쉬 동작일 때 저항값을 변화시킴으로써 출력의 기울기를 더 느리게 낮히도록 하였다.
- <53> 이로 인해, 리프레쉬 동작에서 Vcore가 소모되는 시간을 더욱 느리게 함으로써 Vcore의 레벨이 떨어지는 피크치를 줄이게 된다.

<54> 도 6은 종래기술에 따른 뱅크의 정상적인 액티브 동작시 DRAM의 코아전압의 변동을 도시한 타이밍도이며, 도 7은 종래기술에 따른 모든 뱅크의 리프레쉬(Refresh) 동작시 DRAM의 코아전압의 변동을 도시한 타이밍도이다.

<55> 그러나, 전술한 바와 같이 이루어지는 종래기술에서는 도 6와 같은 정상적인 액티브 동작시에서 코아전압이 소모되는 시간과 코아전압 오버 드라이빙(Overdrive) 시간이 일치하지만, 도 7과 같은 리프레쉬 동작에서는 코아전압이 소모되는 시간과 코아전압을 오버 드라이빙하는 시간이 차이를 보임으로써 코아전압의 오버 드라이빙 시간 동안 도리어 설정 레벨보다 과도하게 상승하는 현상이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<56> 본 발명의 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로서, DRAM 등의 반도체 메모리 장치에서 코아전압을 생성하여 사용하는 경우 리프레쉬 동작에서 계속되는 액티브 동작으로 인하여 코아전압이 과도하게 소모되어 코아전압의 레벨이 불안정해지는 것을 방지할 수 있는 반도체 메모리 장치 및 반도체 메모리 장치의 코아전압 생성 방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<57> 상기 목적을 달성하기 위하여 본 발명은, 리프레쉬 신호에 응답하여 비트라인 감지 시작 신호의 동작 시점을 제어하기 위한 비트라인 감지 시작 신호 제어부; 상기 비트라인 감지 시작 신호에 응답하여 코아전압의 오버 드라이빙 타이밍을 결정하는 오버 드라이빙 제어신호를



출력하는 오버 드라이빙 제어부; 및 상기 비트라인 감지 시작 신호와 상기 오버 드라이빙 제어 신호에 응답하여 코아전압을 출력하기 위한 코아전압 생성부를 포함하는 반도체 메모리 장치를 제공한다.

<58> 또한, 상기 목적을 달성하기 위하여 본 발명은, 비트라인 감지 시작 신호에 응답하여 코아전압의 오버 드라이빙 타이밍을 결정하는 오버 드라이빙 제어신호를 출력하는 단계; 및 상기 비트라인 감지 시작 신호와 상기 오버 드라이빙 제어신호에 응답하여 코아전압을 출력하는 단계를 포함하며, 정상 동작시에는 상기 비트라인 감지 시작 신호가 딜레이가 없이 출력되도록 하며, 리프레쉬 동작시에는 상기 비트라인 감지 시작 신호가 소정의 딜레이를 갖도록 하는 것을 특징으로 하는 반도체 메모리 장치의 코아전압 생성 방법을 제공한다.

<59> 본 발명은 코아전압을 생성함에 있어서 리프레쉬 신호의 제어를 통해 코아전압의 구동(오버 드라이빙) 시간을 조정하여 리프레쉬 동작시에도 원하는 값의 플랫(Flat)한 안정적인 코아전압 레벨을 얻고자 한다.

<60> 예컨대, 종래기술에서는 리프레쉬 동작에서 코아전압 레벨이 짧은 시간 동안 큰 피크치를 보이며 떨어지는 것을 막기 위해 비트라인 감지증폭 제어부에서 리프레쉬 신호를 사용하여 비트라인 감지증폭 인에이블 신호(rtoc, sbe)의 경사를 늦춰서 코아전압이 소모되는 시간을 느리게 조정하면서 임의로 설정되어 있던 코아전압 오버 드라이빙 시간과 어긋나게 되고, 이로 인해 코아전압 오버 드라이빙 시간 동안 상승하게 되는 문제점이 발생하였는 바, 이를 해결하기 위해 본 발명에서는 비트라인 감지증폭 제어부에서 리프레쉬 동작일 때 사용하던 리프레쉬 관련 신호를 코아전압 오버 드라이빙 제어회로에서도 함께 사용하여 리프레쉬 동작에서 코아전압이 오버 드라이빙되는 시간과 비트라인 차징을 위해 코아전압이 소모되는 시간을 맞춰줌으로

써, 리프레쉬 동작시에도 코아전압이 가장 많이 소모될 때 코아전압을 임의의 시간 동안 전원 전압 레벨로 오버 드라이빙하는 시간을 일치시켜 안정된 코아전압 레벨을 유지시키고자 한다.

<61> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

<62> 도 8은 본 발명의 일실시예에 따른 비트라인 감지 시작 신호 제어부를 도시한 상세회로도이다.

<63> 도 8을 참조하면, 본 발명에서는 전술한 바와 같이 비트라인 감지 시작 신호 제어부를 추가하여 정상 동작시에는 비트라인 감지 시작 신호(이하 sest30)가 딜레이가 없는 제1경로(61)를 통해 출력되도록 하며, 리프레쉬 동작시에는 sest30이 소정의 딜레이를 갖는 제2경로(62)를 통해 출력되도록 한다.

<64> 이하, refb에 따라 제어되어 출력되는 sest30을 sest30_d라 한다.

<65> 제1경로(61)는 리프레쉬 신호(이하 refb라 함)에 응답하여 sest30의 출력을 제어하며, 제2경로(62)는 refb가 인버터(I60)에 의해 반전된 즉, refb와 상보적인 신호에 응답하여 sest30이 소정의 딜레이 만큼 지연되어(sest30_d) 출력되도록 제어한다.

<66> 따라서, 제2경로(62)는 sest30_d를 소정의 양만큼 딜레이 시키기 위해 I61 ~ I64의 인버터 체인을 포함한다.



- <67> 따라서, 정상 동작시에는 전달게이트(T1)가 턴-온되어 딜레이가 없는 sest30_d가 출력되며, 리프레쉬 동작시에는 I61 ~ I64의 인버터 체인에 의한 딜레이 양만큼 딜레이된 sest_30d가 출력된다.
- <68> 여기서, sest30_d가 딜레이 되는 양은, 리프레쉬 동작의 타이밍과 코아전압(Vcore)의 오버 드라이빙 타이밍을 일치시키기 위해 리프레쉬 동작에서 코아전압(Vcore)이 경사를 갖으면 증가함에 따라 발생하는 딜레이와 실질적으로 동일하다.
- <69> 도 9는 상기 도 8의 비트라인 감지 시작 신호 제어부를 포함하는 반도체 메모리 장치를 도시한 블록도이다.
- <70> 도 9를 참조하면, 본 발명의 반도체 메모리 장치는, refb에 따라 sest30의 동작 시점을 제어하여 sest30_d를 출력하기 위한 비트라인 감지 시작 신호 제어부(70)와, DRAM에서 액티브 이후 sest30_d를 입력받아 임의의 시간 동안 Vcore를 VDD의 전압 레벨로 구동하기 위한(오버 드라이빙 하기 위한) 오버 드라이빙 제어신호 sense_en을 생성하기 위한 오버 드라이빙 제어부(71)와, sest30_d와 sense_en에 응답하여 VRC와 Vcore를 비교하여 비트라인 감지증폭부(73)를 구동하기 위한 Vcore를 출력하기 위한 코아전압 생성부(72)와, 셀에서 선택된 데이터가 비트라인을 거쳐 출력단으로 전달될 때 전압 스윙을 크게하여 비트라인의 신호를 증폭하는 비트라인 감지증폭부(73)를 구비하여 구성된다.
- <71> 도면에 도시되지는 않았지만, sest30_d와 refb를 입력으로 하여 액티브 후 차지 웨어링 되어 있는 비트라인 감지증폭부(73)에 전원으로 공급되는 신호 rto와 sb를 인에이블 시키는 신호 rtoe와 sbe를 생성하는 비트라인 감지증폭 제어부 또한 포함되는 것이 바람직하다.

- <72> 도 10은 도 9의 오버 드라이빙 제어부를 도시한 상세회로도로서, 도 10의 (a)는 인버터 체인 구조이며, 도 10의 (b)는 차지 캐패시터 구조이다.
- <73> 전술한 바와 같이, 오버 드라이빙 제어부는 DRAM의 액티브 이후 refb에 의해 제어된 sest30_d를 입력받아 임의의 시간 동안 Vcore을 VDD로 오버 드라이빙 하기 위한 sense_en을 생성한다.
- <74> 도 10의 (a)를 참조하면, 인버터 체인 구조의 오버 드라이빙 제어부는 sest30_d를 입력으로 하여 반전 및 지연된 신호를 출력하는 직렬 접속된 복수의 인버터(I81 ~ I87)와, 인버터(I81 ~ I87) 출력과 sest30_d를 각각 다른 입력으로 하여 논리곱 연산을 수행하는 낸드 게이트(NAND31)로 이루어진다.
- <75> 또한, 도 10의 (b)를 참조하면, 차지 캐패시터 구조의 오버 드라이빙 제어부는 I88 ~ I93의 인버터와, 낸드게이트(AND82)와, 엔모스 트랜지스터(N81)와, P81 ~ P88의 피모스 트랜지스터로 이루어진다.
- <76> 도 11은 본 발명에 따른 모든 बैं크의 리프레쉬 동작시 DRAM의 코아전압의 변동을 도시한 타이밍도로서, 도 11을 참조하여 도 8 ~ 도 10에 도시된 본 발명의 메모리 장치의 동작을 살펴 본다.
- <77> 본 발명에서 추가된 비트라인 감지 시작 신호 제어부에 의해 refb를 이용한 sest30가 제어되는 바, 리프레쉬 동작이 아닌 정상 동작시에는 refb가 '로직하이'의 값을 가지고 있어 전달게이트 T1이 턴-온되어 sest30은 빠른 경로인 제1경로(61)를 이용한 동작이 이루어 이루어지고, 리프레쉬 동작일 때는 refb가 '로직로우'가 되어 전달게이트 T2가 턴-온되고 sest30은 I61 ~ I64에 의한 임의의 딜레이가 포함된 느린 경로인 제2경로(62)를 이용한 동작이 이루어진다.

<78> 이로써, 감지 시작을 보고 Vcore를 임의의 시간 동안 VDD로 구동하는 시간을 정상 동작 시 보다 리프레쉬 동작일 때 더 늦게 하여 Vcore의 소모가 가장 클 때 Vcore 감지 인에이블 트랜지스터를 턴-온시켜 VDD로 구동시킴으로써 목표로 하는 Vcore에 항상 가깝게 유지하도록 할 수 있어 Vcore의 안정화를 기할 수 있다.

<79> 도 11을 참조하면, 전술한 바와 같이 이루어지는 본 발명의 구성을 갖도록 회로를 구현한 다음 코아전압의 시뮬레이션을 실시한 결과 리프레쉬 동작에서 종래에 비해 안정적인 코아전압 레벨을 나타냄을 알 수 있다.

<80> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<81> 상기와 같이 본 발명은 DRAM 등의 반도체 장치에서 코아전압과 같은 내부전압을 생성하여 사용하는 경우 리프레쉬 동작에서 계속되는 액티브 동작으로 인하여 내부전압이 과도하게 소모되어 내부전압의 레벨이 불안정해지는 것을 방지하고, 항상 목표로 하는 전압 레벨을 유지하도록 함으로써, 궁극적으로 반도체 메모리 장치의 신뢰성을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

리프레쉬 신호에 응답하여 비트라인 감지 시작 신호의 동작 시점을 제어하기 위한 비트라인 감지 시작 신호 제어수단;

상기 비트라인 감지 시작 신호에 응답하여 코아전압의 오버 드라이빙 타이밍을 결정하는 오버 드라이빙 제어신호를 출력하는 오버 드라이빙 제어수단; 및

상기 비트라인 감지 시작 신호와 상기 오버 드라이빙 제어신호에 응답하여 코아전압을 출력하기 위한 코아전압 생성수단

을 포함하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 비트라인 감지 시작 신호 제어수단은,

상기 리프레쉬 신호에 응답하여 상기 비트라인 감지 시작 신호의 출력을 제어하기 위한 제1경로와,

상기 리프레쉬 신호와 상보적인 신호에 응답하여 상기 비트라인 감지 시작 신호가 소정의 딜레이 만큼 지연되어 출력되도록 제어하기 위한 제2경로를 포함하는 반도체 메모리 장치.

【청구항 3】

제 2 항에 있어서,

상기 제1경로는,

상기 리프레쉬 신호에 의해 NMOS 게이트가 제어되고 상기 리프레쉬 신호의 반전된 신호에 의해 PMOS 게이트가 제어되어, 상기 비트라인 감지 시작 신호를 출력하는 제1전달게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 2 항에 있어서,

상기 제2경로는,

상기 비트라인 감지 시작 신호를 소정의 양만큼 딜레이 시키기 위한 인버터 체인과,

상기 리프레쉬 신호에 의해 NMOS 게이트가 제어되고 상기 리프레쉬 신호의 반전된 신호에 의해 PMOS 게이트가 제어되어, 상기 인버터 체인에 의해 딜레이된 비트라인 감지 시작 신호를 출력하는 제2전달게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 1 항에 있어서,

상기 코아전압 감지 구동 인에이블 신호 생성수단은,

인버터 체인 구조 또는 차지 캐패시터 구조인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

비트라인 감지 시작 신호에 응답하여 코아전압의 오버 드라이빙 타이밍을 결정하는 오버 드라이빙 제어신호를 출력하는 단계; 및

상기 비트라인 감지 시작 신호와 상기 오버 드라이빙 제어신호에 응답하여 코아전압을 출력하는 단계를 포함하며,

정상 동작시에는 상기 비트라인 감지 시작 신호가 딜레이가 없이 출력되도록 하며, 리프레쉬 동작시에는 상기 비트라인 감지 시작 신호가 소정의 딜레이를 갖도록 하는 것을 특징으로 하는 반도체 메모리 장치의 코아전압 생성 방법.

【청구항 7】

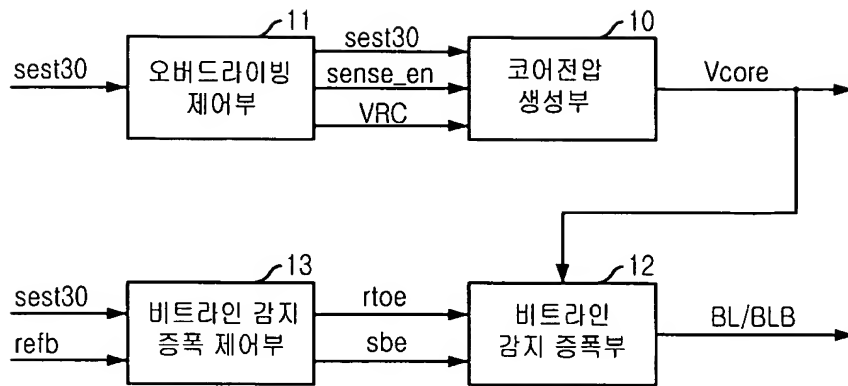
제 6 항에 있어서,

상기 비트라인 감지 시작 신호가 딜레이 되는 양은,

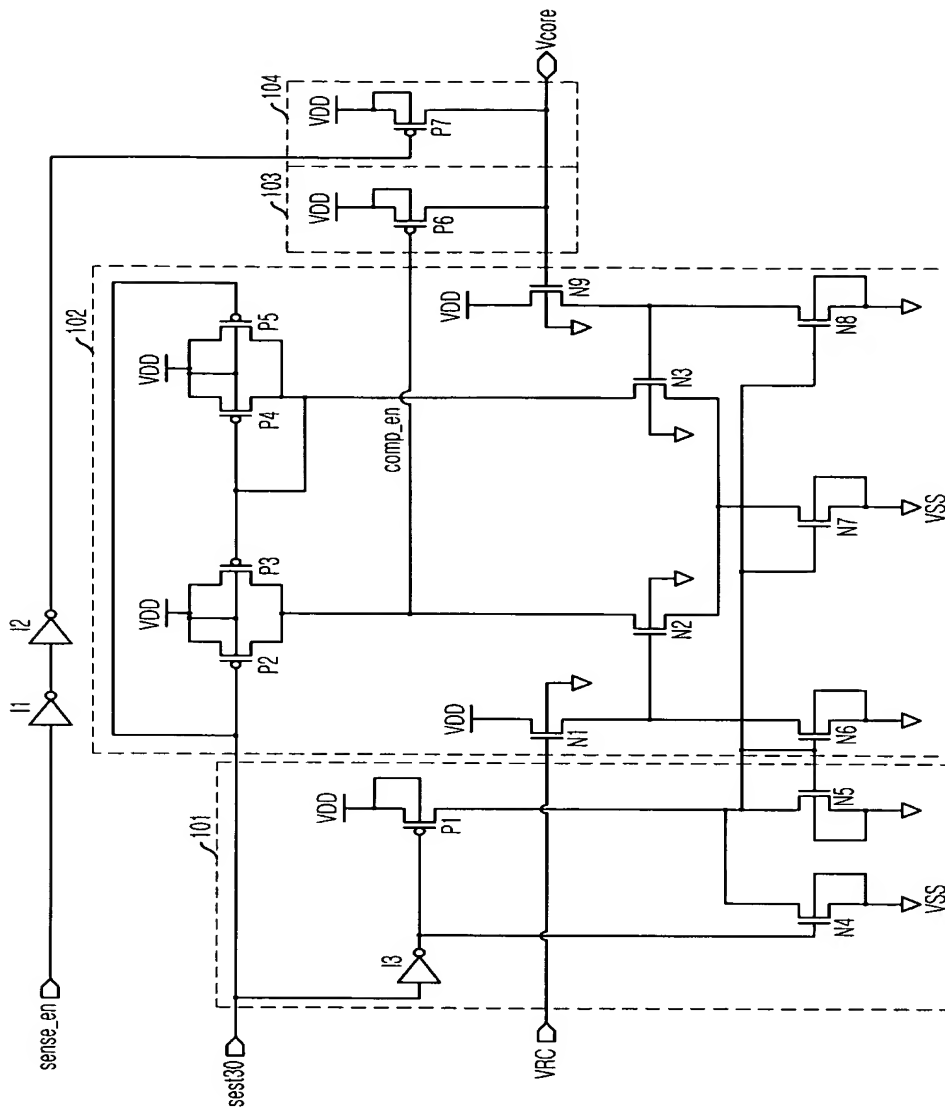
리프레쉬 동작의 타이밍과 상기 코아전압의 오버 드라이빙 타이밍을 일치시키기 위해 리프레쉬 동작에서 상기 코아전압이 경사를 갖으며 증가함에 따라 발생한 딜레이와 실질적으로 동일한 것을 특징으로 하는 반도체 메모리 장치의 코아전압 생성 방법.

【도면】

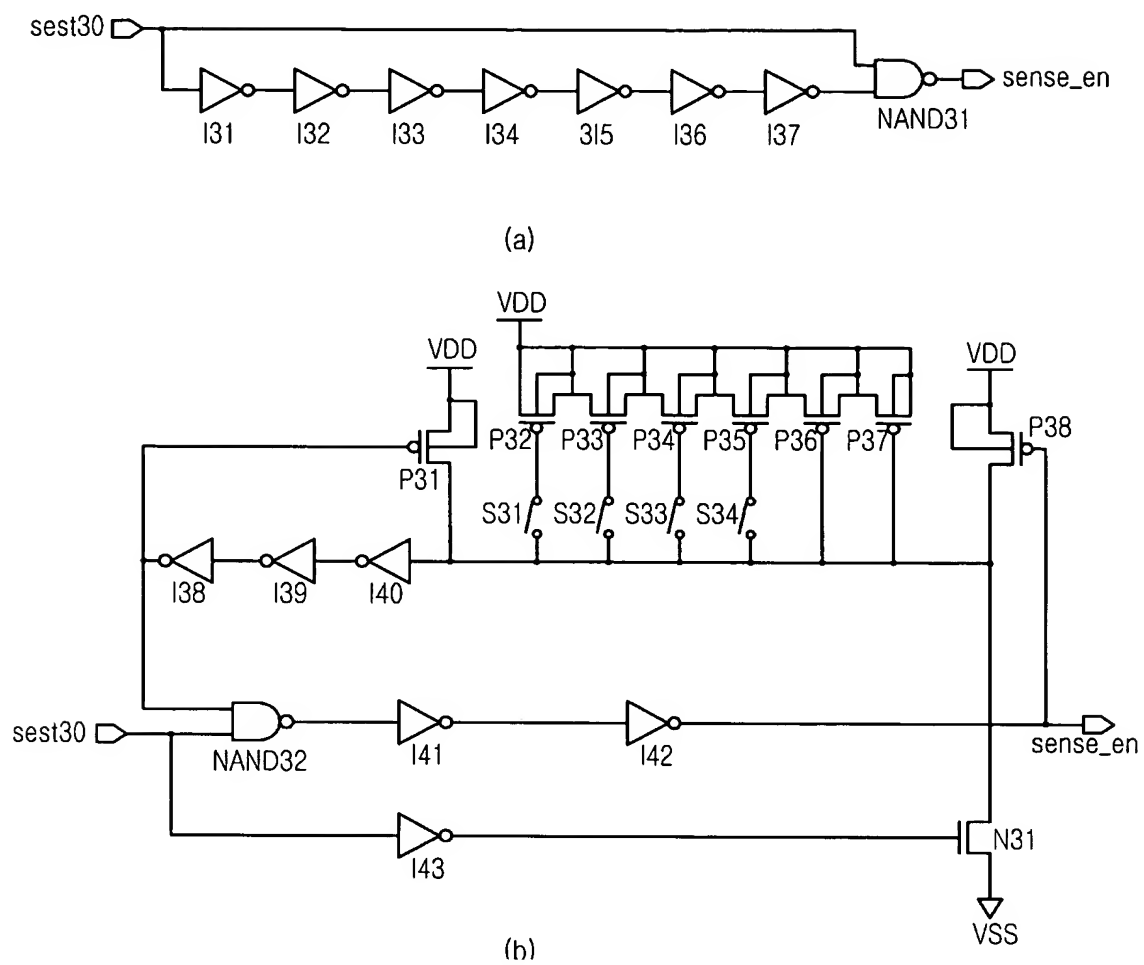
【도 1】



【도 2】

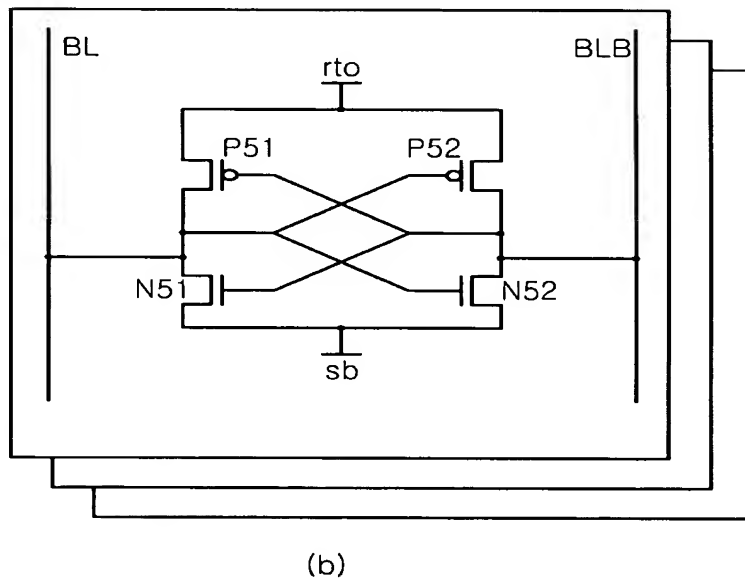
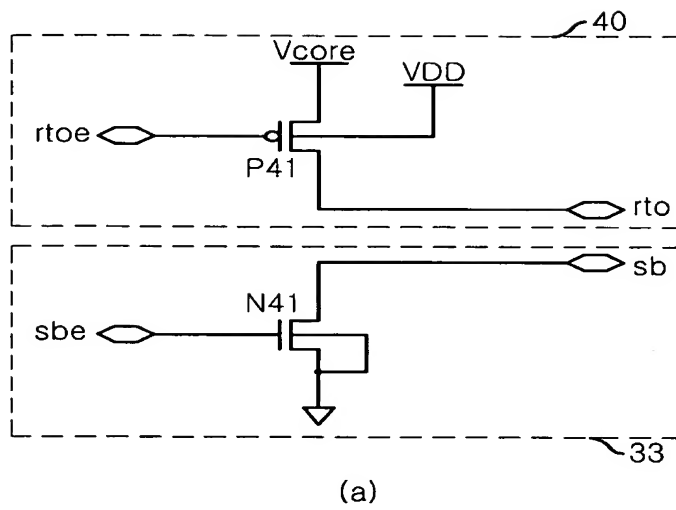


【도 3】





【도 4】

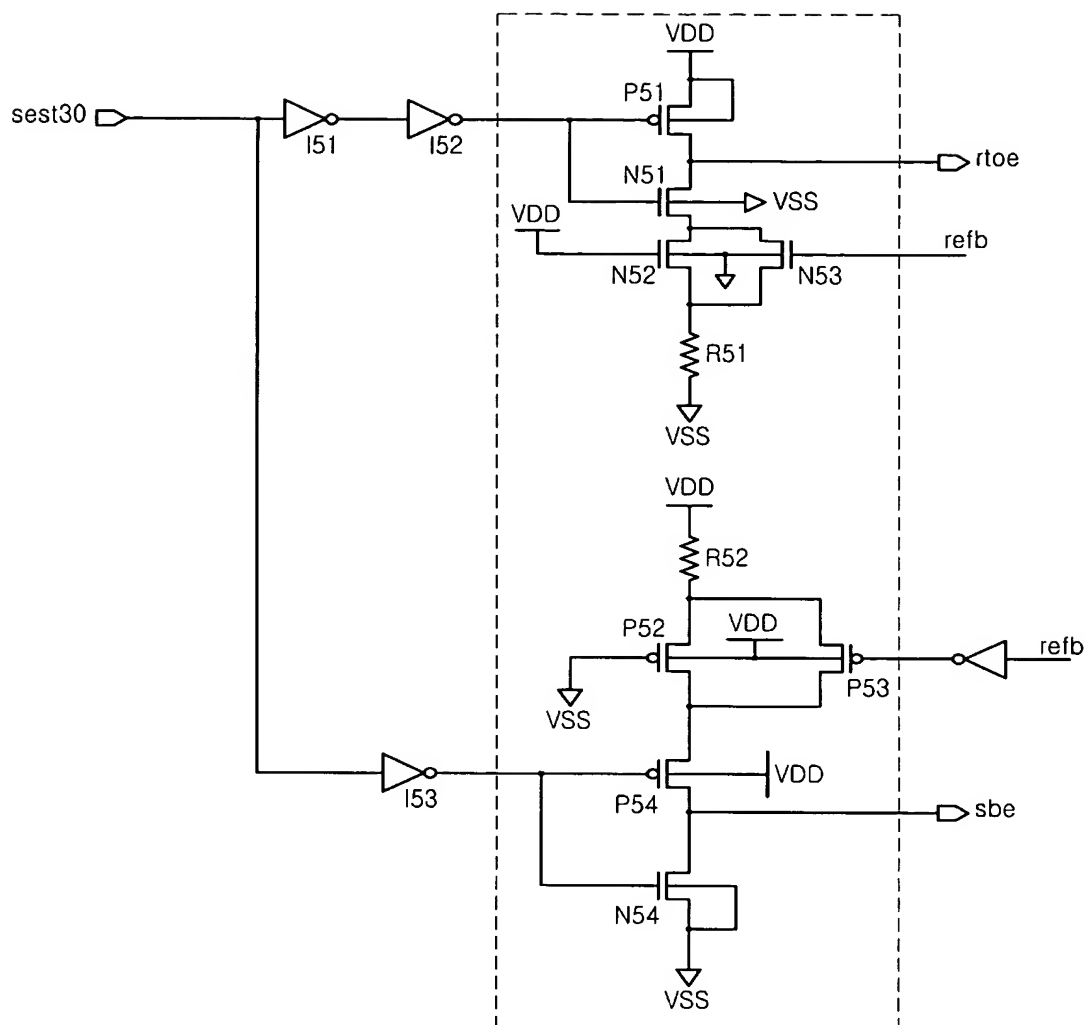




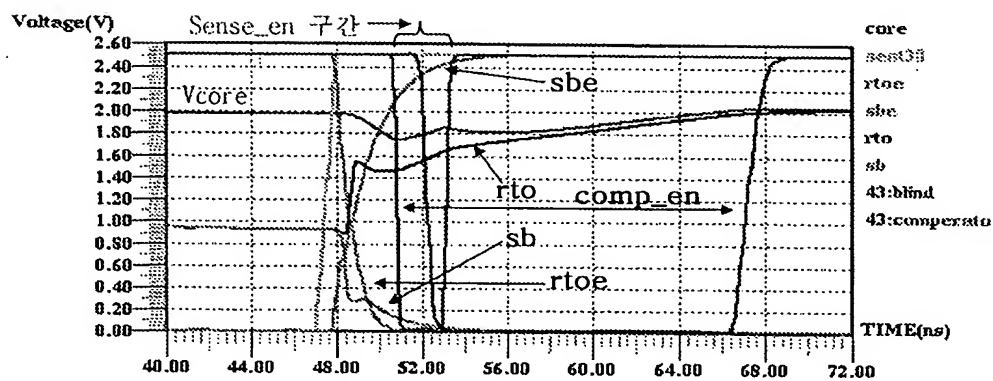
1020030027084

출력 일자: 2003/10/29

【도 5】



【도 6】

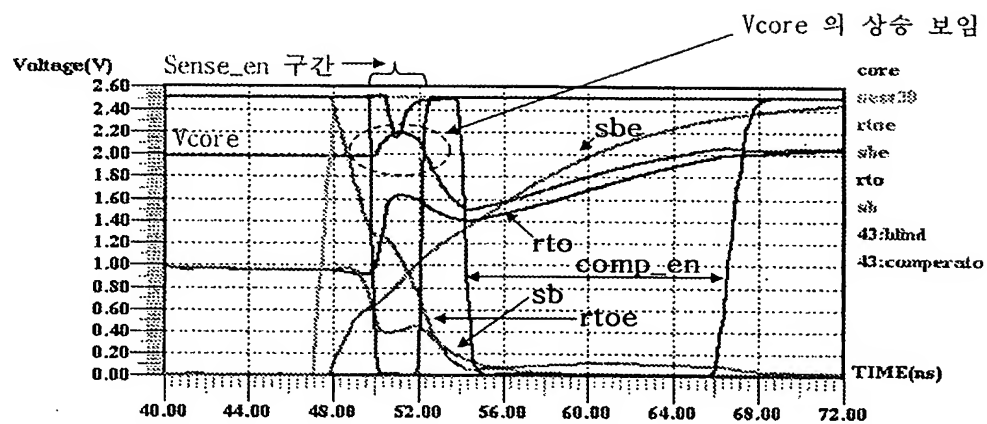




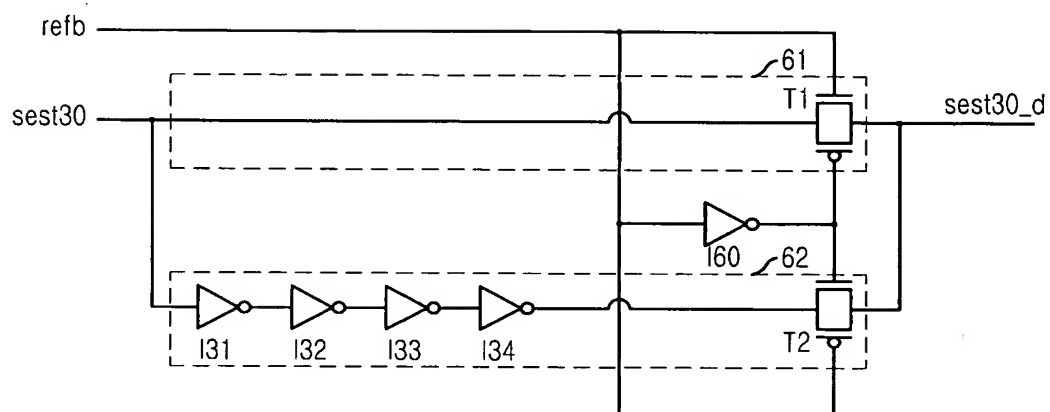
1020030027084

출력 일자: 2003/10/29

【도 7】

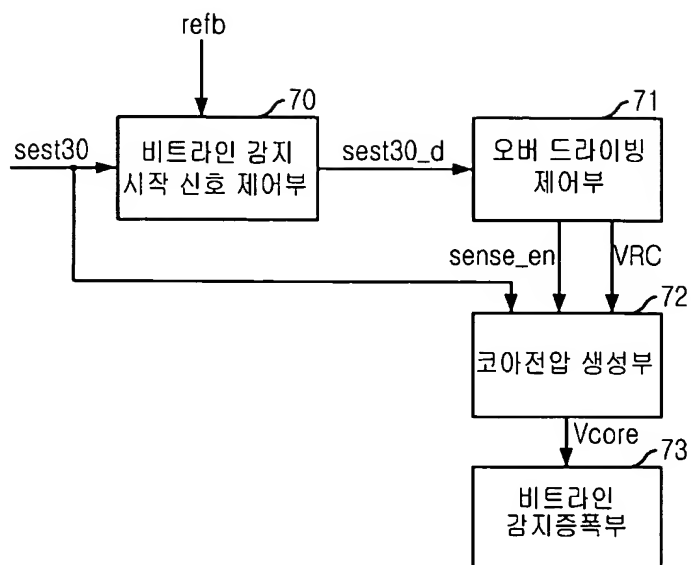


【도 8】



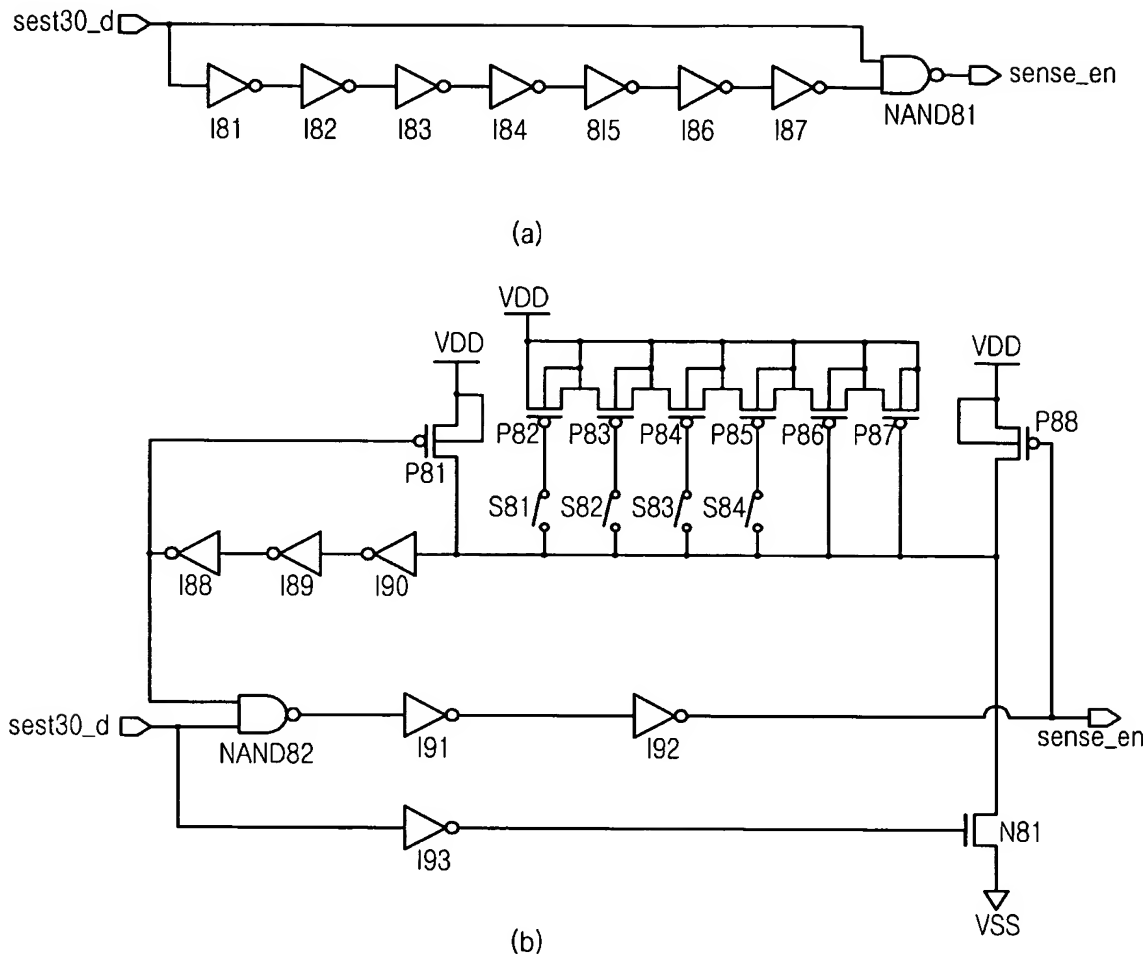


【도 9】





【도 10】



【도 11】

